

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-53912

(43)公開日 平成5年(1993) 3月5日

(51)IntCl.<sup>5</sup>

G 0 6 F 12/08

識別記号

庁内整理番号

F I

技術表示箇所

H 7232-5B

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平3-238746

(22)出願日 平成3年(1991) 8月26日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 今野 実

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72)発明者 小林 徹

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

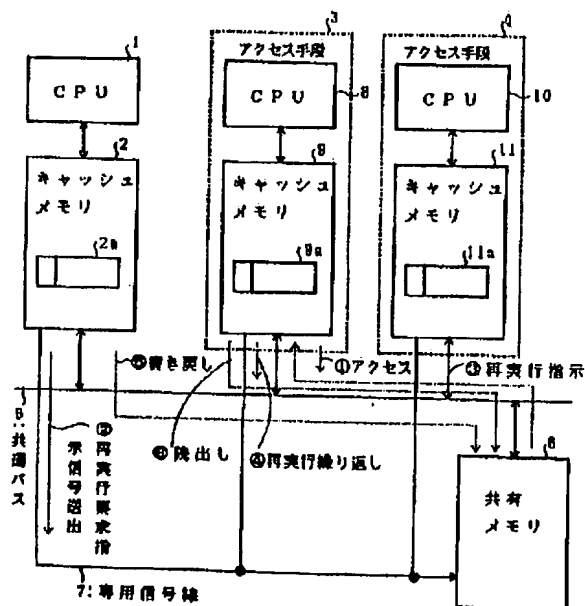
(74)代理人 弁理士 佐藤 幸男

(54)【発明の名称】 キャッシュメモリの制御方法

(57)【要約】

【構成】 ライトバック方式のキャッシュメモリ2と、他のアクセス手段3、4が共有メモリ6を共通して使用する構成において、キャッシュメモリのみを書換え、共有メモリは書き換えていないデータが有り、かつ他のアクセス手段が、そのデータと同じアドレスで共有メモリにアクセスした場合、共有メモリは他のアクセス手段に対し、再実行を指示し、他のアクセス手段はキャッシュメモリからの前記データが共有メモリに書き戻されるまで、そのデータへの再実行を繰り返す。

【効果】 他のアクセス手段の処理が高速に行われ、かつキャッシュメモリと他のアクセス手段とのデータの整合をとるための特別な構成が不要となる。



本発明の制御方法に関わるキャッシュメモリシステム

1

## 【特許請求の範囲】

【請求項1】 ライトバック方式のキャッシュメモリと、他のアクセス手段とが共通の共有メモリを用いるキャッシュメモリの制御方法において、

前記キャッシュメモリのみを書換え、前記共有メモリは書換えていないデータが存在し、かつ、前記他のアクセス手段が、該データと同じアドレスで前記共有メモリにアクセスした場合、

前記他のアクセス手段は、前記キャッシュメモリが前記共有メモリに前記データを書き戻すまで、該共有メモリへのアクセスの再実行を繰り返すことを特徴とするキャッシュメモリの制御方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はキャッシュメモリの制御方法に関し、特に、共有メモリを用いる他のアクセス手段からのアクセス時の制御方法に関する。

【0002】

【従来の技術】 従来より、計算機システムにおいて、高速で小容量なキャッシュメモリと、低速で大容量な共有メモリとを組み合わせる使用することにより、計算機システムの性能を向上させる方式は、一般によく知られている。これは、計算機システム上で実行されるプログラムのメモリアクセスにおいては局所性があるという性質を利用したものである。プロセッサから共有メモリへのアクセスに際し、アクセスが行われたデータを共有メモリからキャッシュメモリにコピーすることにより、メモリアクセスの大部分を高速なキャッシュメモリへのアクセスで済ませ、低速な共有メモリへのアクセスの頻度を削減させることができる。

【0003】 例えば、プロセッサからの脱出し要求のメモリアクセスに対して、要求を受けたキャッシュメモリ内にそのデータが存在しない場合、該キャッシュメモリは要求されたデータを共有メモリからコピーすると共に、プロセッサへ要求されたデータを返送する。一方、プロセッサからの書き込み要求のメモリアクセスに対して、要求を受けたキャッシュメモリ内にそのデータが存在する場合には、該キャッシュメモリのデータのみを書換え、共有メモリは書き換えず、必要に応じて共有メモリを書き換えるライト・バック方式が一般的に知られている。

【0004】 図2に、ライト・バック方式のキャッシュメモリを備えたキャッシュメモリシステムの構成を示す。図のシステムは、CPU（中央処理装置）101、102、103と、キャッシュメモリ104、105、106と、共通バス107と、共有メモリ108とからなる。CPU101、102、103と、キャッシュメモリ104、105、106は、それぞれローカルバスで接続され、キャッシュメモリ104、105、106と共有メモリ108は、共有バス107を介して接続さ

2

れている。また、キャッシュメモリ104、105、106は、自キャッシュメモリ内に格納しているデータを示すためのタグメモリを備えている。このようなキャッシュメモリシステムにおいて、あるキャッシュメモリ内で書換えを行い、まだ共有メモリ108を書き換えていないデータ（以下、このデータをwmデータと称する）が存在する場合、共有メモリ108内のデータは古いデータとなる。従って、wmデータと同じアドレスで他のキャッシュメモリが共有メモリ108にアクセスを行ってしまうと、キャッシュメモリ間でのデータの整合が保てなくなってしまう。

【0005】 例えば、キャッシュメモリ104の0番地がデータAのwmデータで共有メモリ108の0番地のデータがaであった場合、キャッシュメモリ105が、共有メモリ108の0番地を読み出すと、キャッシュメモリ105の0番地のデータはaになってしまい、キャッシュメモリ104とキャッシュメモリ105のデータの整合性がなくなってしまう。そこで、キャッシュメモリ間でのデータの整合を保つために、キャッシュメモリ内の各データ毎に、wmデータの状態であることを示す1ビットのフラグを設けている。図中、104a、105a、106aは、そのwmデータ識別フラグ付きタグを示す。そして、あるキャッシュメモリ内のwmデータ識別フラグが点火されている（wmデータである状態）データに対して、他のキャッシュメモリから共有メモリ108にアクセスがあった場合には、そのキャッシュメモリは監視していた共有バス107のアドレスと自キャッシュメモリ内のタグメモリに登録されたデータの一致を検出し、しかも該アドレスのwmデータ識別フラグが点火しているの、自キャッシュメモリが有する更新済のデータを該アドレスに反映させることが必要となる。そこで、アクセスを行ったキャッシュメモリに、共有メモリ108に対するアクセスが無効であることを通知する信号を送出し、その後に自キャッシュメモリ内のデータを共有メモリ108に送出していた。

【0006】 このような、更新済のデータを他のキャッシュメモリの共有メモリ108へのアクセスに反映させる方法として、次の第1および第2の方法があった。図3は、第1の方法によるキャッシュメモリシステムの構成図である。図のシステムは、各キャッシュメモリ104、105、106内に、自キャッシュメモリにおいて共有メモリ108に対するアクセスが無効であることを通知した全てのデータのアドレスを記憶しておくための記憶手段104b、105b、106bを備えている。このようなシステムにおいて、例えば、キャッシュメモリ104がwmデータとして0番地のデータと20番地のデータを有しているとする。今、キャッシュメモリ105が、共有メモリ108の0番地にアクセスしたとすると、キャッシュメモリ104は監視していた共有バス107のアドレスと、自キャッシュメモリ内のタグとの

3

一致を検出し、キャッシュメモリ105の共有メモリ108に対するアクセスが無効であることを通知する信号をキャッシュメモリ105に対して送出し、かつキャッシュメモリ104の記憶手段104bに0番地のアドレスを登録する。次に、キャッシュメモリ106が、キャッシュメモリ104の0番地のデータを共有メモリ108に書き戻すよりも先に、共有メモリ108へ20番地をアクセスすると、キャッシュメモリ104はキャッシュメモリ106に対しても共有メモリ108に対するアクセスが無効であることを通知する信号を送出し、20番地のアドレスを記憶手段104bに登録する。その後、0番地と20番地のデータを共有バス107に出力するよう制御を行っていた。

【0007】図4は、第2の方法によるキャッシュメモリシステムの構成図である。図のシステムは、共通バス107のアクセス順序の制御を行う制御装置109を備えている。ここで、例えば、上述した第1の方法の場合と同様に、キャッシュメモリ104がwmデータとして0番地のデータと20番地のデータを有しているとする。今、キャッシュメモリ105が、共有メモリ108の0番地にアクセスしたとすると、キャッシュメモリ104は、その番地のアクセスが無効であることを通知する信号を共通バス107に送出する。これにより、制御装置109は、優先的にキャッシュメモリ104に0番地のデータを共有メモリ108に書き戻させるよう制御を行うが、更に、上記第1の方法の場合と同様に、キャッシュメモリ104が0番地のデータを共有メモリ108に書き戻すよりも前に、キャッシュメモリ106が共有メモリ108へ20番地のデータをアクセスした場合、制御装置109は、キャッシュメモリ106の20番地へのアクセスを抑止し、キャッシュメモリ104に0番地のデータを共有メモリ108に書き戻させるよう制御を行っていた。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の制御方法では、以下に述べるような問題点があった。即ち、第1および第2の方法において、wmデータに対してアクセスを行うキャッシュメモリは、このwmデータのアクセスが無効であることを通知された場合は、再実行を繰り返すことなく、改めてアクセスを行っていたため、処理の高速化を図ることができなかった。特に第2の方法ではwmデータ以外のデータに対するアクセスも抑止されるため、システム性能が大きく低下していた。

【0009】しかも、第1の方法では、共有メモリ108に対するアクセスが無効であることを通知した全てのデータのアドレスを、そのデータを共有メモリ108に書き戻すまで記憶しておくための記憶手段104a、105a、106aと、その制御のための装置も必要であった。また、第2の方法においても、共通バス107の

4

アクセス順序を制御するための専用の制御装置109が必要であった。このように、従来の制御方法では、キャッシュメモリのアクセスを制御するために多くのハードウェアが必要であり、構造が複雑でコスト高になってしまいうという問題点もあった。本発明は、上記従来の問題点を解決するためになされたもので、処理の高速化を図ると共に、構成を簡素化してコストダウンを図ることができるキャッシュメモリの制御方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明のキャッシュメモリの制御方法は、ライトバック方式のキャッシュメモリと、他のアクセス手段とが共通の共有メモリを用いるキャッシュメモリの制御方法において、前記キャッシュメモリのみを書換え、前記共有メモリは書換えていないデータが存在し、かつ、前記他のアクセス手段が、該データと同じアドレスで前記共有メモリにアクセスした場合、前記他のアクセス手段は、前記キャッシュメモリが前記共有メモリに前記データを書き戻すまで、該共有メモリへのアクセスの再実行を繰り返すことを特徴とするものである。

【0011】

【作用】本発明のキャッシュメモリの制御方法においては、ライトバック方式のキャッシュメモリと、他のアクセス手段が共有メモリを共通して使用する構成において、キャッシュメモリのみを書換え、共有メモリは書き換えていないデータが有り、かつ他のアクセス手段が、そのデータと同じアドレスで共有メモリにアクセスした場合、共有メモリは他のアクセス手段に対し、再実行を指示し、他のアクセス手段はキャッシュメモリからの前記データが共有メモリに書き戻されるまで、そのデータへの再実行を繰り返す。従って、他のアクセス手段の処理が高速に行われ、かつキャッシュメモリと他のアクセス手段とのデータの整合をとるための特別な構成が不要となる。

【0012】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。図1は本発明のキャッシュメモリの制御方法を適用したキャッシュメモリシステムの実施例を示すブロック図である。図のキャッシュメモリシステムは、ライトバック方式のキャッシュメモリを有するシステムであり、CPU（中央処理装置）1と、キャッシュメモリ2と、アクセス手段3、4と、共通バス5と、共有メモリ6と、専用信号線7とからなる。CPU1とキャッシュメモリ2とはローカルバスで接続され、キャッシュメモリ2と共有メモリ6とは共通バス5で接続されていると共に、専用信号線7で接続されている。また、アクセス手段3、4は、それぞれCPU8とキャッシュメモリ9、CPU10とキャッシュメモリ11とから構成されている。更に、各CPU8、10とキャッシュメモリ

5

9、11とは各々ローカルバスで接続され、キャッシュメモリ9、11と共有メモリ6とは共通バス5で接続されていると共に、専用信号線7で接続されている。また、各キャッシュメモリ2、9、11は、その内部にタグメモリを有し、各タグメモリにはそれぞれwmデータ識別フラグ付きタグ2a、9a、11aが格納されている。尚、ここで、wmデータとは、従来の技術の項で説明したように、自キャッシュメモリのデータのみを書換え、共有メモリ6は書き換えていないデータを指している。

【0013】次に、上記キャッシュメモリシステムの制御方法について説明する。ここで、キャッシュメモリ2の0番地と20番地にwmデータが存在し、キャッシュメモリ9が0番地から共有メモリ6にアクセスしたと仮定する。まず、キャッシュメモリ9が、共有メモリ6にアクセスすると(図中①)、そのアクセスがwmデータか否かを判定する。即ち、各キャッシュメモリ2、9、11は共通バス5を監視しているため、キャッシュメモリ9以外のキャッシュメモリ2、11は、タグメモリのタグ2a、11aを検索し、該当するwmデータがあった場合は、専用信号線7を介して共有メモリ6に再実行要求指示信号を送出する。ここでは、キャッシュメモリ2が、そのタグメモリ内に0番地のデータが存在し、かつ0番地のwmデータ識別フラグが点火しているため、キャッシュメモリ2は、共有メモリ6に、キャッシュメモリ9に対して再実行を要求する信号を返送するよう再実行要求指示信号として出力する(図中②)。これにより、共有メモリ6は、キャッシュメモリ9に対して、再実行の指示を行い(図中③)、この指示を受けたキャッシュメモリ9は、再実行を繰り返す(図中④)。

【0014】また、キャッシュメモリ2は、0番地からのデータを自キャッシュメモリ内の図示しないバッファに格納し、共通バス5のバス権が獲得できるのを待って、バッファの内容を共有メモリ6に書き戻す(図中⑤)。ここで、キャッシュメモリ2が共有メモリ6に書き戻す前にキャッシュメモリ11が20番地から共有メモリ6にアクセスした場合、キャッシュメモリ2は、共有メモリ6に対し、再実行要求指示信号を送出するだけで、20番地のデータをバッファに格納することはしない。一方、共有メモリ6から再実行の要求を受けたキャッシュメモリ9、11は、一度共通バス5のバス権を放棄し、共有メモリ6から正常応答を受け取るまで、同じアクセスを繰り返す。

【0015】キャッシュメモリ2は、共有メモリ6にバッファ内の0番地のデータの書き戻しを行うと同時に、タグ内の0番地のwmデータ識別フラグを滅火し、次にキャッシュメモリ9が0番地から共有メモリ6にアクセスしても再実行要求指示信号を送出しない。従って、キャッシュメモリ9は、0番地からのデータを共有メモリ6から読出すことができる(図中⑥)。また、その間、

6

キャッシュメモリ11によるアクセスに対し、共有メモリ6が再実行要求を送出するようキャッシュメモリ2は指示し続け、バッファ内の0番地のデータを書き戻した後で、キャッシュメモリ11からの20番地へのアクセスの再実行が行われた時20番地からのデータバッファに格納する。その後の処理は、0番地のデータの場合と同様である。このように、上記実施例では、他のアクセス手段3、4からのアクセスがwmデータであった場合は、共有メモリ6がそのアクセス手段3、4に再実行を指示するため、他のアクセス手段3、4は、キャッシュメモリ2がwmデータを共有メモリ6に書き戻すまで、この再実行動作を繰り返していればよい。即ち、この場合のアクセス手段3、4は通常の再実行動作を行うだけで、アクセスしたデータがwmデータであるかどうかは知る必要がない。このため、従来のようなキャッシュメモリ間のデータの整合を取るための特別の構成は不要となる。

【0016】尚、上記実施例では、共有メモリ6に対する他のアクセス手段3、4として、キャッシュメモリ2と同様の構成としたが、これに限定されるものではなく、共有メモリ6をキャッシュメモリ2と共通に用いるものであれば、他のデバイスであっても同様の効果を奏する。また、上記実施例では、他のアクセス手段3、4への再実行指示の手段として、wmデータを有するキャッシュメモリ2が専用信号線7を介して再実行要求指示信号を共有メモリ6に送出し、この信号によって共有メモリ6が他のアクセス手段3、4に再実行を繰り返すように指示する構成としたが、wmデータに対するアクセス時に再実行を繰り返す手段であれば、他の手段を用いても良い。

【0017】

【発明の効果】以上説明したように、本発明のキャッシュメモリの制御方法によれば、キャッシュメモリのみを書換え、共有メモリは書き換えていないデータが存在し、かつ該データと同じアドレスで他のアクセス手段が共有メモリにアクセスした場合、他のアクセス手段は、キャッシュメモリが共有メモリに該データを書き戻すまで、共有メモリへの再実行を繰り返すようにしたので、処理の高速化が図れると共に、構成が簡素化され、コストダウンを図ることができる。

【図面の簡単な説明】

【図1】本発明の制御方法に関わるキャッシュメモリシステムの構成図である。

【図2】従来の制御方法に関わるキャッシュメモリの構成図である。

【図3】従来の制御方法の第1の方法によるキャッシュメモリの構成図である。

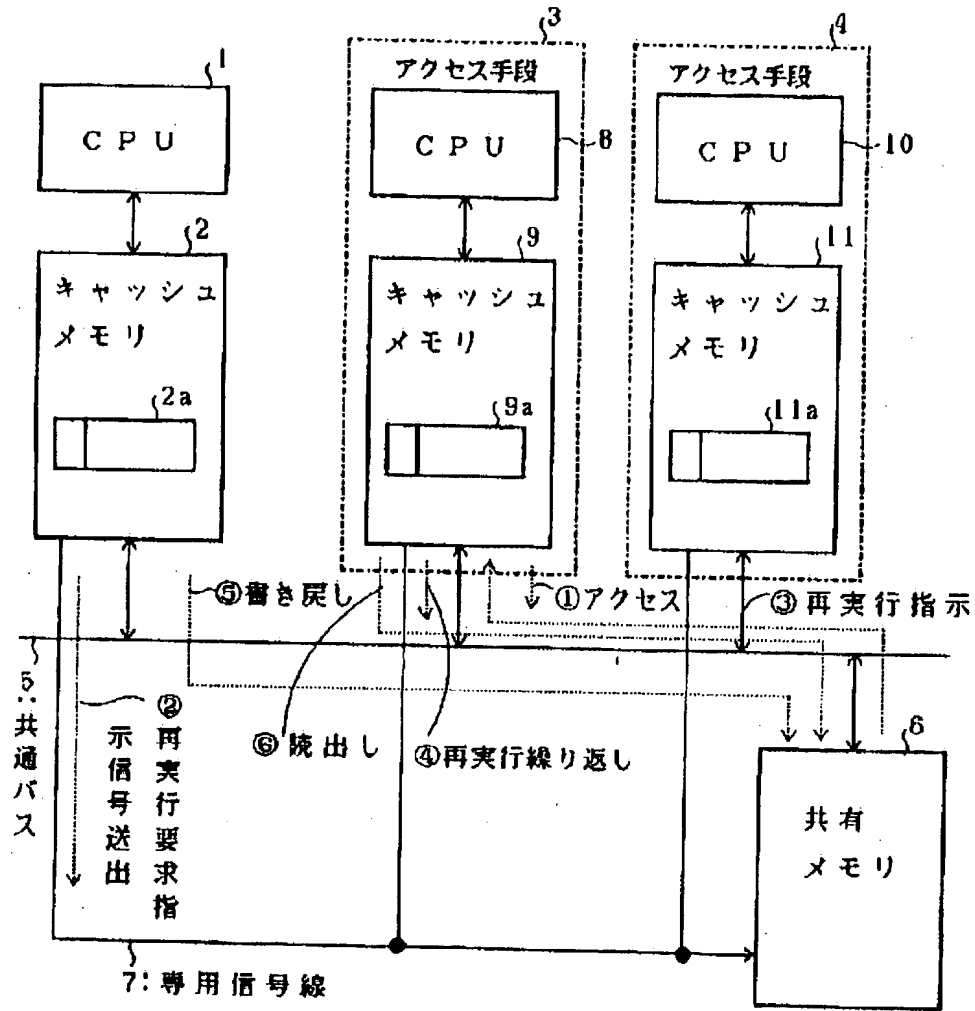
【図4】従来の制御方法の第2の方法によるキャッシュメモリの構成図である。

【符号の説明】

- 1 中央処理装置 (CPU)  
2 キャッシュメモリ

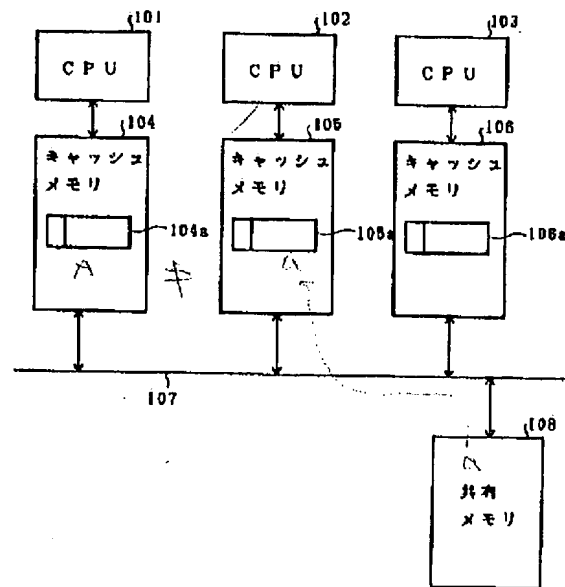
- 3、4 アクセス手段  
6 共有メモリ

【図1】



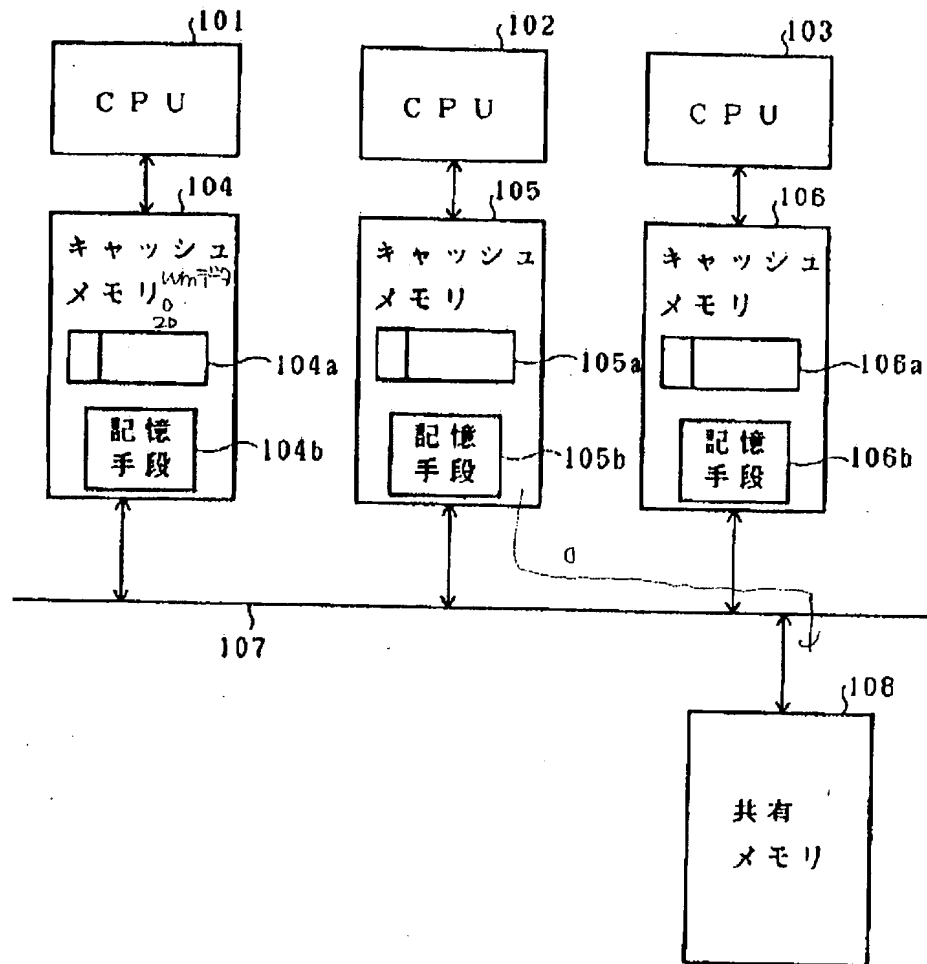
本発明の制御方法に関わるキャッシュメモリシステム

【図2】



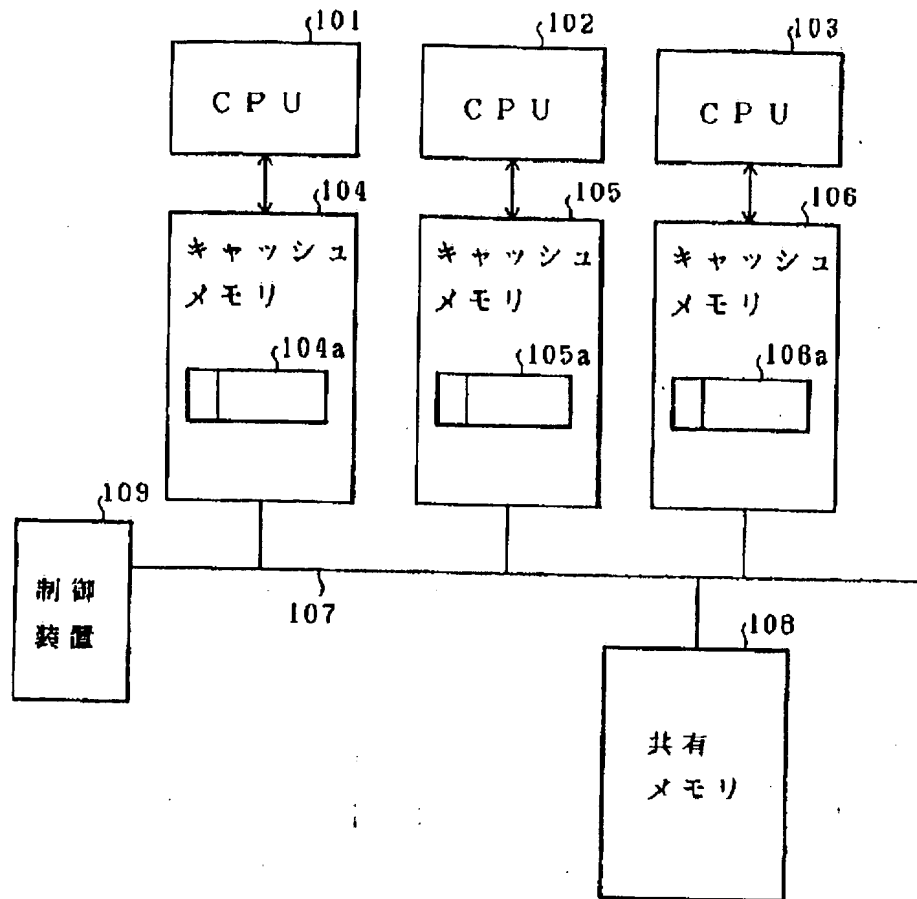
従来の割込方法に関わるキャッシュメモリシステム

【図3】



従来の第1の制御方法に関わるキャッシュメモリシステム

【図4】



従来の第2の制御方法に関わるキャッシュメモリシステム